

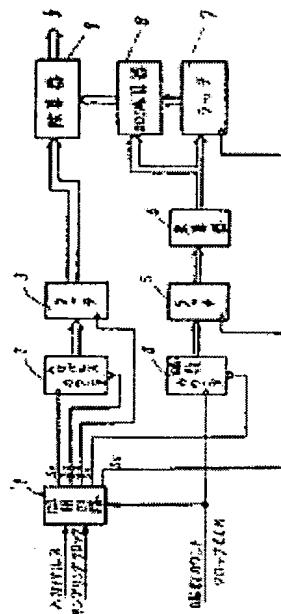
FREQUENCY MEASURING INSTRUMENT

Patent number: JP1124773
Publication date: 1989-05-17
Inventor: HATANO TSUYOSHI; others: 01
Applicant: YOKOGAWA ELECTRIC CORP
Classification:
- international: G01R23/10
- european:
Application number: JP19870282673 19871109
Priority number(s):

Abstract of JP1124773

PURPOSE: To obtain a frequency measuring instrument with high measurement accuracy by correcting a sampling time by using last and current fraction time measured with a fraction count clock having a shorter period than a sampling period.

CONSTITUTION: Inputs pulses, a sampling clock, and the fraction count clock are inputted to a synchronizing circuit 1 to generate a synchronous input pulse S1, a clear signal S2, a latch signal S3, and a clear signal S4. The synchronous input pulses S1 and clear signal S2 are inputted to an input pulse counter 2 to count the number N of the input pulses and the output of the counter is inputted to a latch 3. Further, the clear signal S4 and fraction count clock are inputted to a fraction counter 4 to count a fraction time, and counted value is inputted to a latch 5. Then the sampling period is corrected with the last fraction time and current fraction time and the number of the input pulses is divided by the corrected sampling period to find a frequency (f).



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 平1-124773

⑫ Int. Cl.
G 01 R 23/10

識別記号 廃内整理番号
C-7359-2G

⑬ 公開 平成1年(1989)5月17日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 周波数測定装置

⑮ 特願 昭62-282673
⑯ 出願 昭62(1987)11月9日

⑰ 発明者 波田野 強 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

⑱ 発明者 森田慎吾 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

⑲ 出願人 横河電機株式会社 東京都武蔵野市中町2丁目9番32号

⑳ 代理人 井理士 小沢信助

明細書

1. 発明の名称

周波数測定装置

2. 特許請求の範囲

入力パルスの周波数をサンプリング周期中に測定する周波数測定装置において、

入力パルスのパルス数をサンプリング周期中にカウントする入力パルスカウンタと、

今回のサンプリング周期で、最後のパルスが発生した時からサンプリング周期の終了時までの端数時間を前記サンプリング周期よりも短い周期の端数クロックを用いて測定し、この端数時間を出力する端数時間出力部と、

前回のサンプリング周期の端数時間を保持して出力する保持手段と、

前記入力パルスカウンタ、端数時間出力部及び保持手段の出力をもとに次式を用いて今回のサンプリング周期における入力パルスの周波数を求める算出部、

を具備したことを特徴とする周波数測定装置。

$$f = N / (T + \tau_{n-1} - \tau_n)$$

f : 入力パルスの周波数

N : 今回のサンプリング周期でカウントしたパルス数

T : サンプリング周期

τ_{n-1} : 前回のサンプリング周期の端数時間

τ_n : 今回のサンプリング周期の端数時間

3. 発明の詳細な説明

[産業上の利用分野]

本発明は入力パルスの周波数をサンプリング周期に測定する周波数測定装置の精度改善に関するものである。

[従来の技術]

従来の周波数測定装置としては、例えば、第5図(b)のタイムチャートに示すように、一定のサンプリング周期T内に入力パルスのパルス数Nをカウントし、入力パルスの周波数fを、 $f = N / T$ から算出するものがあった。算出した周波数は圖(b)のようになる。

特開平1-124773 (2)

[発明が解決しようとする問題点]

しかし、この装置では、 $-1/T$ の分解能でしか周波数を測定できないため、十分な測定精度が得られないという問題点がある。このことは、サンプリング周期と入力パルスの同期がとれていないため、図に示すような端数時間が発生することに起因している。

本発明はこのような問題点を解決するためになされたものであり、サンプリング時間を入力パルスに同期した時間に補正して高い精度で周波数を測定できる周波数測定装置を実現することを目的とする。

[問題点を解決するための手段]

本発明は、

入力パルスの周波数をサンプリング周期毎に測定する周波数測定装置において、

入力パルスのパルス数をサンプリング周期毎にカウントする入力パルスカウンタと、

今回のサンプリング周期で、最後のパルスが発生した時からサンプリング周期の終了時までの端

以下、図面を用いて本発明を説明する。

第1図は本発明にかかる周波数測定装置の一実施例の構成図である。

図で、1は同期回路であり、入力パルスとサンプリングクロックを端数カウントクロック CLK で同期をとって同期入力パルス S₁ と同期サンプリングクロックを生成する。同期サンプリングクロックは同期回路の内部に発生するものである。

2は入力パルスカウンタであり、サンプリング周期毎に同期回路1からのクリア信号 S₂ でカウントがクリアされ、リング周期毎に同期入力パルス S₁ のパルス数をカウントする。

3はラッチであり、同期回路1からのラッチ信号 S₃ により入力パルスカウンタ2のカウントのラッチと出力をを行う。

4は端数カウンタであり、同期回路1からのクリア信号 S₄ によりカウントがクリアされた後、端数カウントクロック CLK のクロック数をカウントし始める。端数カウントクロック CLK は、サンプリングクロックよりも周回が短くて、例え

数時間より短い周期の端数クロックを用いて測定し、この端数時間に出力する端数時間出力部と、

前回のサンプリング周期の端数時間保持して出力する保持手段と、

前記入力パルスカウンタ、端数時間出力部及び保持手段の出力をもとに次式を用いて今回のサンプリング周期における入力パルスの周波数を求める計算部、

を具備したことを特徴とする周波数測定装置である。

$$T = N / (T + \tau_n - i - \tau_n)$$

「：入力パルスの周波数

N：今回のサンプリング周期でカウントしたパルス数

T：サンプリング周期

τ_{n-1} ：前回のサンプリング周期の端数時間

τ_n ：今回のサンプリング周期の端数時間

[実施例]

は 5 MHz の周波数のものである。

5はラッチであり、同期回路1からのラッチ信号 S₃ により端数カウンタ4のカウントのラッチと出力をを行う。

6は乗算器であり、ラッチ5が出力する端数カウントから端数時間を算出する。

端数時間は、

(端数カウントクロックの周期)

$$\times (端数カウント)$$

から求めれる。

7はラッチであり、同期回路1からのラッチ信号 S₄ により前回の端数時間のラッチと出力をを行う。

8は加減算器であり、乗算器6とラッチ7の出力を用いて次の加減算を行う。

$$T + \tau_n - i - \tau_n$$

「：サンプリング周期

τ_{n-1} ：前回の端数時間

τ_n ：今回の端数時間

9は除算器であり、ラッチ3と加減算器の出力

特開平1-124773(3)

を用いて次式に示す計算により今回の測定回数
を算出する。

$$f = N / (T + \tau_n - i - \tau_n)$$

N : 入力バスのバス数

ここで、請求範囲でいう端政時間出力部は端政カウンタ4とラッチ5と乘算器6からなるものに、保持手段はラッチ7に、演算部は加減算器8と除算器9からなるものにそれぞれ相当する。

次に、このような装置の動作を説明する。

第2図は入力パルスカウンタ2の部分の信号のタイムチャート、第3図は端数カウンタの部分の信号のタイムチャートである。

第2図で、入力バスとサンプリングクロックは端数カウントクロックCLKにより周期がとられて同期入力バスS₁と同期サンプリングクロックが作られる。入力バスカウンタ2のカウントは同期入力バスS₁が入力される毎にアップする。同期サンプリングクロックからは、入力バスカウンタ2のクリア信号S₂とラッチ3のラッチ信号S₃が作られる。これらの信号は端数カ

ウントクロックの半周拘だけずらされていて、これによってカウンタのクリアとラッチの競合を防止している。

第3図で、同期入力バルス S_1 から端数カウント4のクリア信号 S_4 を作り、同期サンプリングクロックからラッチ信号 S_3 を作る。

クリア信号 S_4 は、同期入力バルス信号 S_1 が発生する毎に発生する。ラッチ信号 S_5 は同期サンプリングクロックにより発生させられるため、ラッチ S の出力はサンプリング周期で最後のバルスが発生した時からサンプリング終了時までにカウントした累積カウントクロック数になる。

第4図は端数時間により補正したサンプリング時間と入力クロックの関係を示した図である。

本発明にかかる装置では、第1図に示すように、前回の端数時間で t_{n-1} と今回の端数時間で t_n を用いて補正したサンプリング時間 $T + t_{n-1} - t_n$ にもう N 回のパルスが入力されているため、測定周波数を

$N / (T + \tau_{n-1} - \tau_n)$ から算出する。

なお、入力パルスカウンタ2と端数カウンタ4としては、アップカウンタに限らずダウンカウンタを用いてよい。

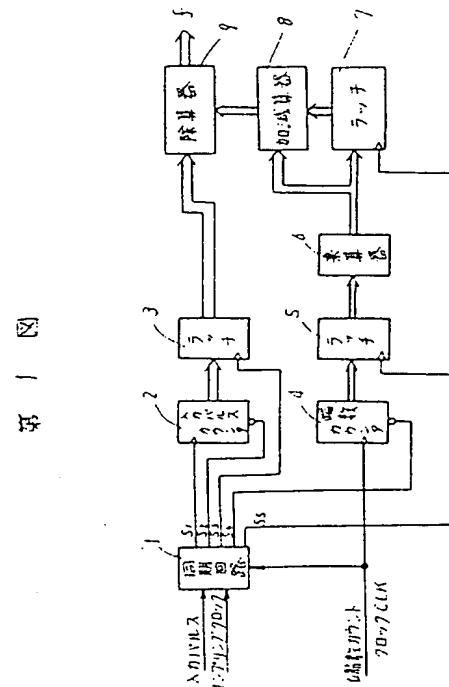
〔 劍 索 〕

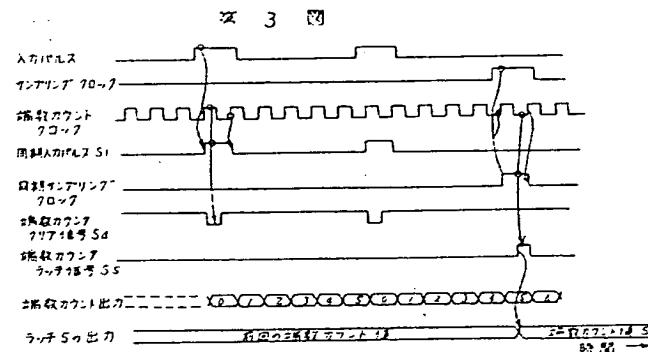
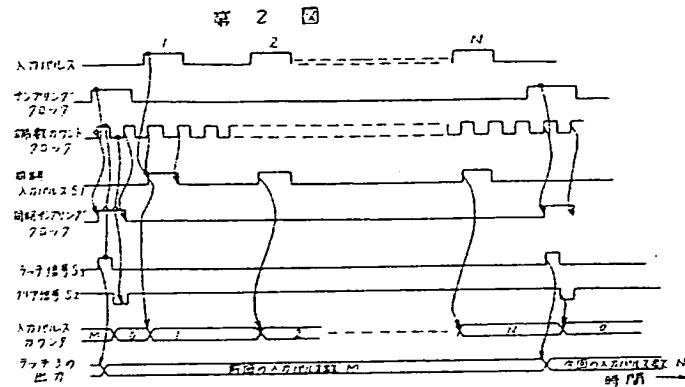
本発明によれば、サンプリング周期よりも短い周期の端数カウントクロックにより測定した前回の端数時間と今回の端数時間を用いてサンプリング時間を補正し、補正したサンプリング時間から測定周波数を算出しているため、 T/N を分解能にして周波数を測定する装置に比べて高い測定精度が得られる。

4. 図面の簡単な説明

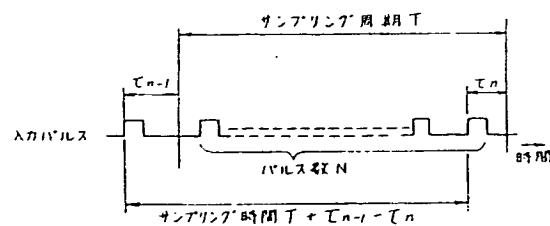
第1図は本発明にかかる周波数測定装置の一実施例の構成図、第2図～第4図は第1図の装置の動作説明図、第5図は従来における周波数測定装置の一例の動作説明用タイムチャートである。

2…入力バルスカウンタ、4…端数カウンタ、
5…ラッチ、6…坂口器、7…ラッチ、8…加減
分器、9…除算器。





第 4 図



第 5 図

